

基于 FPGA 的数字雷达测试多通道信息处理装置

Dongyue Wang

南京电子技术研究所 江苏南京

【摘要】与传统模拟相控阵雷达相比，数字雷达天线阵列的收发通道由模拟元件发展为数字 TR 元件，阵列回波数据由模拟信号变为经过数字处理的光纤信号，传统的以矢量网络分析仪为核心的正面测试系统已不能满足数字雷达正面测试要求。为了解决数字阵列雷达天线测试问题，本文设计了一种多通道信息处理装置，可实现多达 72 通道高速光纤数据的接收与处理。本文对该设备的硬件组成和软件功能进行了分析，给出了数字波束形成技术的理论推导，并对软件设计中数字波束形成算法实现、原始数据提取、BIT 信息提取、数据网络传输等功能进行了分析。最后对应用效果进行了总结。

【关键词】FPGA；DBF；网络

【收稿日期】2024 年 10 月 25 日

【出刊日期】2024 年 11 月 26 日

【DOI】10.12208/j.emd.20240002

FPGA-based Multi-channel Information Processing Equipment for Testing of Digital Radar

Dongyue Wang

Nanjing Research Institute of Electronics Technology, Nanjing, Jiangsu

【Abstract】 Compared with the traditional analog phased array radar, the transceiver channel of the digital radar antenna array has developed from an analog component to a digital TR component, and the echo data of the array has changed from an analog signal to a digitally processed optical fiber signal. The traditional frontal test system with vector network analyzer as the core can no longer meet the frontal test requirements of digital radar. In order to solve the antenna test problem of digital array radar, this paper designs a multi-channel information processing device, which can realize the reception and processing of up to 72 channels of high-speed optical fiber data. In this paper, the hardware composition and software function of the equipment are analyzed, the theoretical derivation of digital beamforming technology is given, and the functions of digital beamforming algorithm implementation, the original data extraction, BIT information extraction, and data network transmission in software design are analyzed. Finally, the article gives a conclusion on the application effect.

【Keywords】FPGA; DBF; Network

1 简介

随着数字化雷达^[1-3]的快速发展，大量新型雷达迅速研制和装备，雷达系统的复杂性、集成化程度较以往发生了质的变化。此外，雷达装备的研制周期越来越短，性能指标要求越来越高。如何在极短的时间内实现雷达装备的维护与修理极其重要。

与传统模拟相控阵雷达相比，数字雷达天线阵的接收通道由模拟器件发展为数字 TR 器件，器件下行数据由模拟信号变为经过数字处理的光纤信号^[4]。

本文介绍了一套多通道信息处理设备，可以实现多达 72 通道高速光纤数据的接收和处理，并通过网络实时输出处理结果，大大满足了天线阵列测试的通用性和实时性的要求。

2 系统硬件平台

该装置的设计以大规模可编程逻辑器件 FPGA (VC7VVSX690T)为核心处理器，充分利用 FPGA 芯片内部强大的逻辑资源、乘法器资源、存储器资源、高速传输接口资源、DDR 接口资源等^[5]FPGA 芯片完成阵列数据接收波束合成、原始数据提取、BIT 提

注：本文于 2023 年发表在 Advances in Computer and Communications 期刊 4 卷 1 期，为其授权翻译版本。

取等功能任务，同时将处理后的数据通过专用网络传输 IP 传输到显示计算机。多通道信息处理装置的系统框图如图 1 所示。

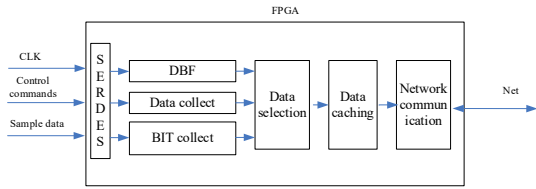


图 1 多通道信息处理装置的系统框图

3 数字波束形成算法

共有 N 个阵元，对应 N 个接收通道，如下图所示， θ 为回波信号指向各个阵列的方向角， D 为相邻阵元间距， λ 为信号波长，则相邻阵元的空间相位差为：

$$\Delta\phi = \frac{2\pi}{\lambda} d \sin\theta$$

S_i 是第 i 个阵元接收方向上的信号 i ，可以表示为

$$S_i = A_0 e^{j((i-1)\Delta\phi + \psi)}$$

A_0 为回波信号幅度； ψ 为参考通道相位。若接收通道波束指向， θ_B 则阵列中相邻通道的相位差补偿值为

$$\Delta\phi_B = \frac{2\pi}{\lambda} d \sin\theta_B$$

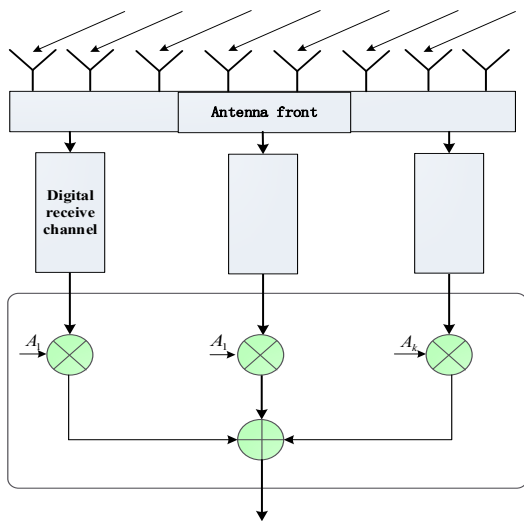


图 2 接收波束形成的框图

经过相位补偿后相加得到的阵列输出为 S_i

$$Y_0 = \sum_{i=1}^N S_i e^{j(-(i-1)\Delta\phi_B)}$$

其绝对值是

$$|Y_0| = A_0 \left| \frac{\sin[\frac{N}{2}(\Delta\phi - \Delta\phi_B)]}{\sin[\frac{1}{2}(\Delta\phi - \Delta\phi_B)]} \right|$$

时 $\theta = \theta_B$ 输出最大，幅度加权可以降低波束方向图的旁瓣，如果幅度加权系数 i 第数组元素是 a_i

$$Y_0 = \sum_{i=1}^N a_i S_i e^{j(-(i-1)\Delta\phi_B)} = \sum_{i=1}^N A_i S_i$$

$A_i = a_i e^{j(-(i-1)\Delta\phi_B)}$ 为复数加权系数，通过改变的值 θ_B 可以形成指向四面八方的接收波束。DBF 权重分为幅度权重、相位权重和修正权重三部分，在计算过程中，最终将三个权重合并计算，合成一个权重系数^[6-7]。

4 软件设计

4.1 接收波束形成模块

多通道信息处理设备通过光纤接收各通道正交化后的 IQ 数据，经过数据同步、通道相位校正、幅度校正等一系列算法处理后输出合成数据，其计算过程如下：

数据缓存同步：通过 FIFO 存储等技术实现多通道回波数据对齐。

多波束权重计算：该模块完成所有阵列通道的幅度权重和相位权重的实时计算，并按波束进行存储。

波束计算：将通道的 IQ 数据和通道的校正系数进行复数计算，最后将校正后的通道 IQ 数据相加，完成波束数据计算。

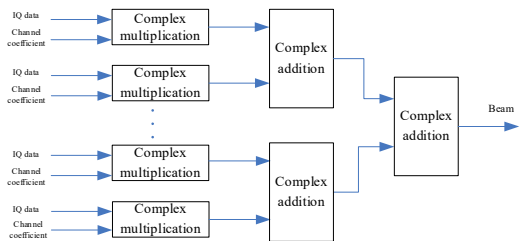


图 3 波束形成功能的框图

在整个逻辑设计中，波束形成模块使用了大量

的乘法器资源，占用了很大的逻辑资源。为了保证 FPGA 的稳定性，需要将芯片资源的利用率控制在 70% 以内，而多波束合成模块采用时分复用的设计思想，通过高频时钟周期性地输出不同方向的权重，分别与通道数据进行处理。为了保证权重与通道数据的同步，通道数据通过高频时钟寄存并与权重同步输出，此高频时钟是整个系统的全局时钟，分时完成各个波束的处理，波束运算采用流水线操作，复用同一组乘法电路。例如，经过数据处理后，IQ 数据速率分配为 10MHz 形成 8 个不同方向的波束，每个通道就会有 8 个不同的权重。为了能够同时形成 8 个波束，且只占用一组乘法电路，权重会通过 80MHz 全局时钟周期性输出，以保证与通道的 IQ 数据同步，IQ 数据可以看作是 80MHz 数据，通过全局时钟存储后与权重同步输出^[8]。

4.2 原始数据提取模块

相控阵天线为了获得理想的发射、接收指标，必须控制各个收发通道的相位、幅度特性，而最重要的一步就是获取该收发通道的原始通道幅相特性。

原始数据提取模块将对控制指令进行解析，获取数据开始、数据长度等关键信息，并对所使用通道的下行 IQ 数据流进行实时统计，截取相应的 IQ 数据段，并存储于 FPGA 芯片内嵌的存储逻辑单元中。

4.3 BIT 信息提取模块

天线阵列 BIT 信息内容可分为两类：参数信息和状态信息。

参数信息包括阵列通道行数、列数、通道发射相位、接收相位等参数，这些参数参与阵列波束合成，对对面波束的性能有重要意义。

状态信息包括阵列的温度特性信息、组件电流、组件电压等，反映阵列的实时状态特性。

以上两类 BIT 信息均具有非实时性的特点，因此 BIT 信息的提取及存储设计采用循环存储的方式，每个通道的 BIT 存储在固定的存储空间中，最新的 BIT 信息自动覆盖过去的 BIT 信息。

设计中每一路 BIT 信息构建专门的双口 RAM 存储器，并由下行数据流固定写逻辑，当检测到 BIT 数据流时启动写逻辑更新 RAM 中的数据。当接收到数据读指令时，依次读取各通道专用 RAM 中的 BIT 数据并发送给后续模块，完成 BIT 数据的

传输功能。

4.4 数据选择模块

作为多通道信息处理的三大功能：数字波束形成、原始数据提取、BIT 信息提取，在系统的使用中具有不同的作用和用途。数字波束形成用于测试判断天线阵列的性能；原始数据提取用于天线通道性能的测试与判断；BIT 信息提取用于阵列状态参数的获取与监测。

由于多通道信息处理设备仅有一个网络输出接口，为了减少网络传输负荷，保证系统的实时性，多通道信息处理会根据控制指令选择三种功能，单次仅完成一项任务功能数据的输出。

4.5 数据缓存模块

由于该系统可以接收 72 根光纤数据，按照每根光纤 8 个通道计算，该装置可同时实现 576 个通道的数据采集。因此，每次采集完成都会产生大量的待处理数据。而且由于该装置的输出接口为 1 个千兆网络接口，无法实现待处理数据的实时传输。本系统采用乒乓结构的传输方式缓存数据。基于 FPGA 内嵌的 IP 资源，在 Vivado2017.3 软件操作平台上，系统的构建需要 18bit 宽的 BlockRAM 和两片 FIFO，依次进行读写操作，实现实时数据缓存的功能。

4.6 网络收发模块

考虑到传输效率和协议复杂度，本设计选择了无连接的 UDP 传输协议^[9]。模块所包含的 ARP 协议、ICMP 协议、UDP 协议均由 FPGA 完成。其中，ARP 协议属于 TCP/IP 模型中的 IP 层，用于解决局域网内主机或路由器的 IP 地址与 MAC 地址的映射问题；ICMP 协议是 TCP/IP 协议的一个子协议，用于判断网络的好坏，如电脑的“ping”等。由于所有通信协议均由 FPGA 完成，网络通信效率可达 95%，但在实际使用过程中，由于电脑响应延迟问题，网络实际通信速率仅达 215Mbps。

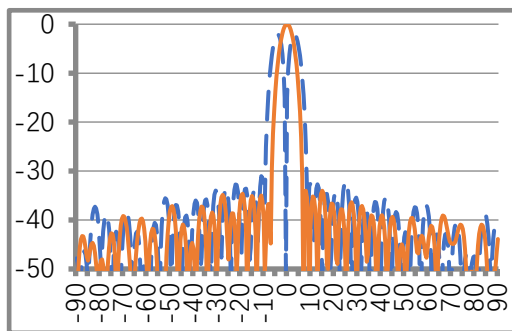


图 4 多通道信息处理装置的波束形成图

5 应用实例

本文介绍的多通道信息处理装置已有效应用于某 X 波段数字相控阵雷达, 图 4 为该多通道信息处理装置波束形成数据的测试结果。

6 结论

本文提出的多通道信息处理设备的设计思路和方法具有较强的通用性, 可用于数字雷达阵列的故障诊断、测试和维护。最后给出了该设备在实际设备中的应用。随着数字化雷达的快速发展, 如何实现数字阵列的测试和调试越来越重要, 本文介绍的多通道信息处理设计对于数字阵列的测试工作具有重要的利用价值。

参考文献

- [1] Wu Manqing. The Development of Digital Array Radar [J]. Journal of CAEIT, 2006, 1(1):11-16.
- [2] Wu Manqing. Development and Future Design of Digital Array Radar [J]. Journal of CAEIT, 2008, 6(6):401-405.
- [3] Chen Zengping, Zhang Yue, Bao Qinglong. Advance in Digital Array Radar and Its Key Technologies [J]. Journal of National University of Defense Technology, 2010, 32(6), 1-7.
- [4] Wang Cha-san, Wang Dong-yue, Gao Wen-hui. Design of Huge-DAR Fiber-opt Transmission System [J]. 2013, 23(8):242-245.
- [5] Xilinx. "7 Series FPGAs GTX/GTH Transceivers User Guide," UG476 (v1.12.1) datasheet, Aug. 2018.
- [6] Mohammad Salman Baig, B. Ramaswamy Karthikeyan, D. Mazumdar, and G. R. Kadambi. "Improved receiver architecture for digital beamforming systems," 2011 International Conference on Computer, Communication and Electrical Technology (ICCCET), Tamilnadu, 2011, pp. 208-214.
- [7] Zhang Guangyi. Phased Array Radar Systems Beijing: National Defense Industry Press, 2000.
- [8] Cheng Jin, Fu Youguang, Wang Feng. Implementation method of high-speed real-time digital multi-beamforming system Modern Radar, December 2005.
- [9] Cui He, Liu Yunqing, Sheng Jiajin. Research and implementation of UDP/IP protocol stack based on FPGA [J]. Journal of Changchun University of Science and Technology (Natural Science Edition), 2014(2); 133-137.

版权声明: ©2024 作者与开放获取期刊研究中心(OAJRC)所有。本文章按照知识共享署名许可条款发表。

<https://creativecommons.org/licenses/by/4.0/>



OPEN ACCESS